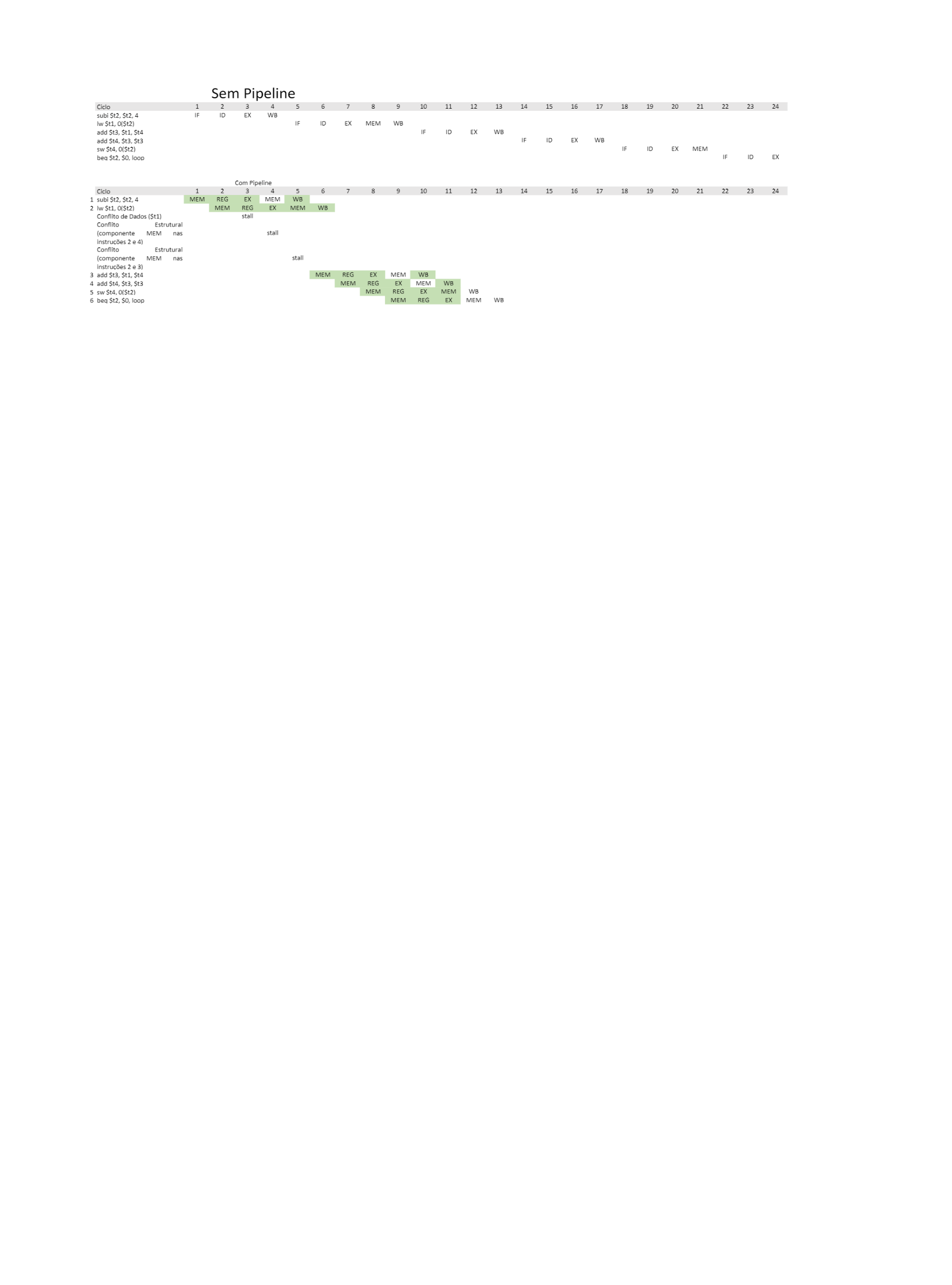
Lista 2 AOC

1- Possibilidade de fazer com que instruções sejam executadas em quantidades diferentes de períodos de clock, e a capacidade de compartilhar unidades funcionais dentro do espaço de tempo necessário à execução de uma única instrução.

2- Para se implementar pipeline em um processador multiciclo é necessário a separação da memória em duas partes independentes uma para as instruções e outra apenas para os dados, e é necessário a adição de memórias intermediárias entre etapas.

3-



4- Conflito RAW: 2ª linha -> dependência do sub com dado F1 de div, d.

Conflito RAW: 3ª linha -> dependência de s, d com o dado F4 de sub, d.

Conflito RAW: 5ª linha -> dependência de div, d com o dado F5 de add, d.

Conflito WAW: sub, d e segundo div, d com o registrador F4.

Conflito WAR: ant ipendência de sub, d com o add, d com o registrador F5.

5- CPU **tempo ideal =** (CPU **ciclos de clock** + Ciclos de clock de Stall de memória) x Período de ciclo de Clock =>

CPU **tempo ideal**  = (IC x CPI + 0) x Período de ciclo de Clock = >

CPU **tempo ideal** = IC x 1 x Período de ciclo de Clock

Ciclos de clock de stall de memória = IC x (1 + 0,5) x 0,02 x 25 = IC x 0,75

CPU **tempo real** = (IC x 1 + IC x 0,75) x Período de ciclo de Clock =>

CPU **tempo real** = IC x 1,75 x Período de ciclo de Clock

Comparando os desempenhos com stalls pelo ideal:

IC x 1,75 x Período de ciclo de Clock

= 1,75

IC x 1 x Período de ciclo de clock

6- a) Escrita somente no cache e atualização na memória somente na substituição do bloco.

b) Escreve ao mesmo tempo em ambas as memórias cache e ram.

c) Se um programa usa um trecho de código, ele tende usar o mesmo trecho de código, ele tende usar o mesmo trecho de código em um curto espaço de tempo.

d) Um programa tende usar trechos de código próximos ao que foi usado recentemente.